

# CORSO DI LAUREA: INGEGNERIA INFORMATICA

## INSEGNAMENTO: CONTROLLI DIGITALI – Mod.2

NOME DOCENTE: GIOVANNI FEDECOSTANTE

---

### OBIETTIVI DEL CORSO:

Il corso intende essere il complemento di Controlli Digitali Modulo 1, completandolo con le trattazioni relative ai metodi di sintesi delle logiche di tipo combinatorio e sequenziale ed offrendo una panoramica delle tipologie di circuiti integrati digitali attualmente disponibili in commercio e delle relative tecniche di test.

---

### CONTENUTI DEL CORSO:

Il corso è composto dai seguenti 7 nuclei tematici:

#### **NT1 - Presentazione del corso (lezione 1)**

- Introduzione ed inquadramento del corso, definizione obiettivi principali, glossario di base, descrizione del programma

#### **NT2 - Algebra di commutazione (lezioni 2-3)**

- Definizioni di analisi e sintesi
- Teoremi delle espressioni
- Teoremi della somma e prodotto
- Teoremi sulla complementazione
- Teoremi della dualità
- Teoremi di analisi e sintesi

#### **NT3 - Reti combinatorie (lezioni 4-10)**

- Minterm e maxterm
- Forme normali e canoniche
- Reti di costo minimo
- Analisi / sintesi con le mappe di Karnaugh
- Il metodo di Quine-McCluskey

#### **NT4 - Elementi di memoria (lezioni 11-12)**

- I segnali d'uscita in transitorio ed a regime

- Alee statiche ed alee dinamiche
- Campionamento
- Concetto di memoria
- Latch e Flip-Flop
- Generazione del clock nei Flip-Flop
- Set-up / Hold / Delay time

#### **NT5 - Reti Sequenziali (lezioni 13-22)**

- Grafi di flusso e macchine sequenziali (FSM)
- La funzione d'uscita secondo Mealy e Moore
- Il problema della scelta dello stato iniziale
- Coppie di stati equivalenti / compatibili
- Sintesi di reti sequenziali
- Tabelle completamente specificate
- Tabelle non completamente specificate

#### **NT6 - Circuiti Integrati Digitali (lezione 23)**

- Tipologie di circuiti integrati digitali
- Logiche programmabili
- Linguaggi di progettazione ad alto livello (VHDL)
- Design for Testability (JTAG)

#### **NT7 - Ripasso e test (lezione 24)**

- Ripasso generale
- Test di fine corso

---

#### **MODALITA' DI SVOLGIMENTO ESAME:**

Il progredire dell'attività di studio sarà monitorata tramite test di autovalutazione (esercizi proposti con soluzione fornite da parte del docente) su base di singola lezione, ove l'argomento della stessa necessiti di essere assimilato prima di proseguire con la lezione successiva, e tramite un test di valutazione da inviare al docente alla fine di ogni singolo modulo al fine di permettergli di valutare il reale grado di apprendimento.

Al termine del corso, dopo una lezione di ripasso generale di tutti gli argomenti affrontati, sarà proposta una lista di possibili prove di esame (domande ed esercizi) che lo studente utilizzerà come preparazione all'appello.

---

#### **TESTI:**

I seguenti testi di supporto al corso sono forniti dal docente:

#### **Testo base (TB)**

Giovanni Fedecostante - **Elementi di Elettronica Digitale** - 2009

**Testo di supporto (TS)**

Roberto Laschi e Prandini Marco - **Appunti di reti logiche** - 2005  
(per gentile concessione del Prof. R.Laschi)

BIBLIOGRAFIA:

Waste / Eshraghian **PRINCIPLES OF CMOS VLSI DESIGN** - Addison-Wesley  
VLSI System Series

Mead / Conway **Introduzione ai sistemi VLSI** - Addison Wesley

Hodges / Jackson **Analysis and design of digital Integrated Circuits** -  
McGRAW-Hill

IEEE Std 1076-1993 **IEEE Standard VHDL Language Reference Manual**

IEEE Std 1149.1-1990 **IEEE Standard Test Access Port and Boundary-  
Scan Architecture**